

Работа с SPI

Ведущий SPI инициирует сеанс связи подачей низкого уровня на вход SS, а так же генерирует тактовые импульсы на линии SCK.

По линии MOSI всегда осуществляется передача данных от ведущего к подчиненному, а по MISO, наоборот, от подчиненного к мастеру. По окончании передачи каждого пакета данных ведущий SPI должен засинхронизировать подчиненный путем подачи высокого уровня на линию SS. (таким образом дать понять что передача данных окончена?)

Если SPI настроен как ведущий (мастер), то управление линией SS происходит **не**автоматически. Данная операция **должна быть выполнена программно** перед началом сеанса связи. После этого, запись в регистр данных SPI инициирует генерацию синхронизации и аппаратный сдвиг 8-ми разрядов в подчиненное устройство. По окончании сдвига одного байта генератор синхронизации SPI останавливается, при этом устанавливая флаг окончания передачи (SPIF). Если установлен бит SPIE в регистре SPCR, то разрешается прерывание SPI и по окончании передачи байта будет генерирован запрос на прерывание. Мастер может продолжить сдвигать следующий байт, если записать его в регистр SPDR, или подать сигнал окончания пакета путем установки низкого уровня на линии SS. Последний принятый байт сохраняется в буферном регистре.

В направлении передачи данных система выполнена как однобуферная, а в направлении приема используется двойная буферизация. Это означает, что передаваемые байты не могут быть записаны в регистр данных SPI, прежде чем полностью завершится цикл сдвига. Во время приема данных необходимо следить, чтобы принятая посылка была считана из регистра данных SPI, прежде чем завершится цикл входящего сдвига новой посылки. В противном случае первый байт будет потерян.

Таблица конфигурации выводов

Мастер			Подчиненный		
MOSI	OUT	0	MOSI	IN	T
MISO	IN	T	MISO	OUT	0
SCK	OUT	0	SCK	IN	T
SS	OUT	0	SS	IN	T

Регистр управления SPI

Разряд	7	6	5	4	3	2	1	0
Названия	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0
Чт./зап.	Чт./зап.	Чт./зап.	Чт./зап.	Чт./зап.	Чт./зап.	Чт./зап.	Чт./зап.	Чт./зап.
По умолч	0	0	0	0	0	0	0	0

7) Установка бита **SPIE** (SPI Interrupt Enable – разрешение прерываний SPI) в 1 разрешает прерывания от SPI;

6) **SPE** (SPI Enable - Разрешение SP) Если в SPE записать лог. 1, то разрешается работа SPI. Данный бит должен быть установлен, если необходимо использовать SPI независимо от того в каком режиме он будет работать;

5) Если бит **DORD** (Data Order – порядок выдачи данных) установлен в 1, то первым будет передаваться младший бит(LSB). Если же этот бит будет сброшен в 0, то первым будет передаваться старший бит (MSB);

4) Бит **MSTR** (Master/Slave Select – выбор Master/Slave) выбирает режим SPI: Master – 1, Slave – 0;

3) **CPOL**: Полярность синхронизации. Если данный бит равен 1, то SCK имеет высокий уровень в состоянии ожидания. Если CPOL=0, то SCK имеет низкий уровень в состоянии ожидания;

CPOL	Передний фронт	Задний фронт
0	Нарастающий	Спадающий
1	Спадающий	Нарастающий

2) Бит **CPHA** (Clock Phase – Фаза тактовых импульсов) определяет полярность тактовых импульсов:

CPHA	Передний фронт	Задний фронт
0	Выборка	Установка
1	Установка	Выборка

Разряды 1, 0 - **SPR1**, **SPR0**: Биты 1 и 0 выбора частоты синхронизации SPI

Данные биты задают частоту синхронизации на выводе SCK в режиме мастера. SPR1 и SPR0 не оказывают никакого влияния в режиме подчиненного. Связь между частотой SCK и частотой генератора синхронизации f_{osc} показана ниже в таблице:

Связь между частотами SCK и генератора

SPI2X	SPR1	SPR0	Частота SCK
0	0	0	$f_{osc} / 4$
0	0	1	$f_{osc} / 16$
0	1	0	$f_{osc} / 64$
0	1	1	$f_{osc} / 128$
1	0	0	$f_{osc} / 2$
1	0	1	$f_{osc} / 8$
1	1	0	$f_{osc} / 32$
1	1	1	$f_{osc} / 64$

Регистр статуса SPI – SPSR

Разряд	7	6	5	4	3	2	1	0
SPSR	SPIF	WCOL	-	-	-	-	-	SPI2X
ЧТ/ЗП	Чт.	Чт.	Чт.	Чт.	Чт.	Чт.	Чт.	Чт./Зп.
По умолчанию	0	0	0	0	0	0	0	0

- Разряд 7 - SPIF: Флаг прерывания по SPI

Флаг SPIF устанавливается по завершении последовательной передачи. Прерывание генерируется в том случае, если установлен бит SPIE в регистре SPCR и разрешены общие прерывания. Если SS настроен как вход и к нему приложен низкий уровень, то, если SPI находился в режиме мастера, также установится флаг SPIF. SPIF сбрасывается аппаратно при переходе на соответствующий вектор прерывания.

Альтернативно, бит SPIF сбрасывается при первом чтении регистра статуса SPI с установленным флагом SPIF, а также во время доступа к регистру данных SPI (SPDR);

- Разряд 6 - WCOL: Флаг повторной записи

Бит WCOL устанавливается, если выполнена запись в регистр данных SPI (SPDR) во время передачи данных. Бит WCOL (а также бит SPIF) сбрасывается при первом чтении регистра статуса SPI с установленным WCOL, а также во время доступа к регистру данных SPI;

- Разряды 5..1 - Res: зарезервированные биты

В ATmega32 данные биты не используются и всегда считываются как 0;

- Разряд 0 - SPI2X: Бит удвоения скорости SPI

Если в данный бит записать лог. 1 то скорость работы SPI (частота SCK) удвоится, если SPI находится в режиме мастера. Это означает, что минимальный период SCK будет равен двум периодам синхронизации ЦПУ. Если SPI работает как подчиненный, то работа SPI гарантирована только на частоте $f_{osc}/4$ или менее.